

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 08179999
PUBLICATION DATE : 12-07-96

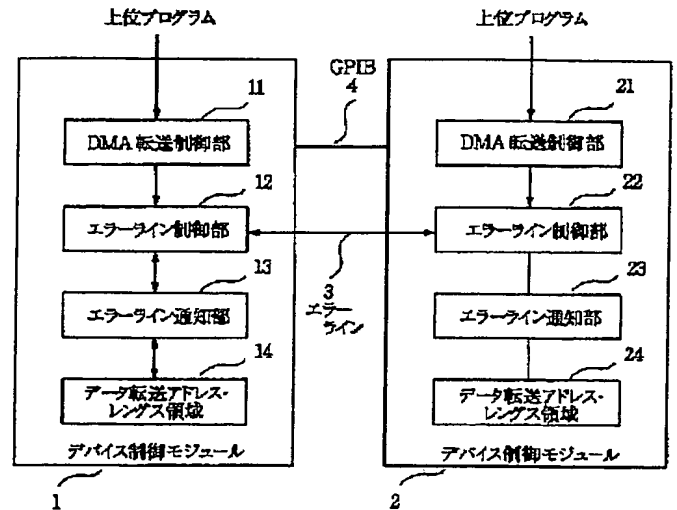
APPLICATION DATE : 26-12-94
APPLICATION NUMBER : 06322631

APPLICANT : NEC SHIZUOKA LTD;

INVENTOR : IKEDA NOBUYUKI;

INT.CL. : G06F 13/00 G06F 13/28

TITLE : DMA TRANSFER DATA GUARANTEE SYSTEM



ABSTRACT : PURPOSE: To guarantee transfer data before an error occurs by showing a part where the error occurs when data transfer of DMA system is performed.

CONSTITUTION: When a device control module 1 is started up by an instruction from a high-order program, a DMA transfer control part 11 starts the data transfer by DMA transfer, and checks whether or not an overrun error occurs during the DMA transfer, and starts up an error line control part 12 when the overrun error occurs, and after that, completes processing by performing DMA transfer completion processing. The error line control part 12 performs the DMA transfer completion processing, and starts up an error line informing part 13, and after that, completes the processing after writing a data transfer address and data transfer length when the error occurs in a data transfer address/length area 14. The error line informing part 13 informs the occurrence of the error to a device control module 2 by turning on an error line 3.

COPYRIGHT: (C)1996,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開平8-179999

(43)公開日 平成 8 年(1996) 7 月12日

| | | | | |
|--------------------------|---------|---------|-----|--------|
| (51)Int.Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
| G 0 6 F 13/00 | 3 0 1 H | | | |
| 13/28 | 3 1 0 D | 9172-5E | | |

審査請求 有 請求項の数 3 O L (全 7 頁)

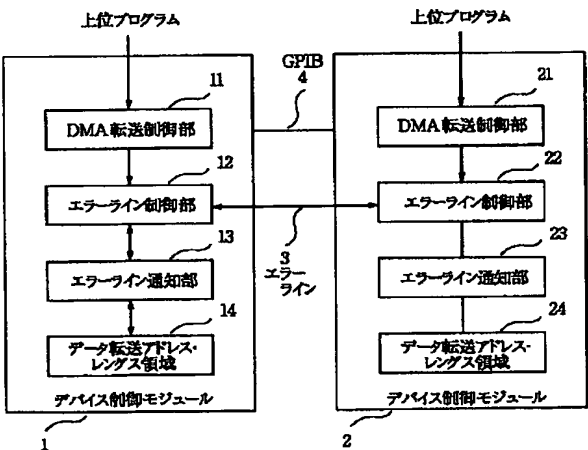
| | | | |
|----------|--------------------|---------|---|
| (21)出願番号 | 特願平6-322631 | (71)出願人 | 000197366 静岡日本電気株式会社 静岡県掛川市下俣4番2号 |
| (22)出願日 | 平成 6 年(1994)12月26日 | (72)発明者 | 池田 暢之 静岡県掛川市下俣4番2 静岡日本電気株式会社内 |
| | | (74)代理人 | 弁理士 京本 直樹 (外 2 名) |

(54)【発明の名称】 DMA転送データ保証方式

(57)【要約】 (修正有)

【目的】DMA方式のデータ転送時のエラー発生箇所を示すことにより、このエラー発生時点より以前の転送データを保証する。

【構成】上位プログラムからの命令によりデバイス制御モジュール1が起動されると、DMA転送制御部11はDMA転送によりデータ転送を開始させ、このDMA転送中にオーバーランエラーが発生していないかをチェックし、オーバーランエラーが発生していたときはエラーライン制御部12を起動し、その後DMA転送終了処理を行って終了する。エラーライン制御部12はDMA転送終了処理を行い、エラーライン通知部13を起動し、その後エラー発生時のデータ転送アドレスとデータ転送レンジとをデータ転送アドレス・レンジ領域14に書き込んで終了する。エラーライン通知部13はエラーライン3をオンにしてエラー発生をデバイス制御モジュール2に通知する。



(2)

特開平8-179999

1

2

【特許請求の範囲】

【請求項1】 汎用パラレルインタフェースバスを通してデバイス制御モジュール間でDMA方式によるデータ転送を行うシステムにおいて、前記デバイス制御モジュール間にエラーラインを設け、前記各デバイス制御モジュールは前記汎用パラレルインタフェースバスのデータ転送を制御するDMA転送制御部と、前記データ転送中に発生した転送データアドレスおよび転送データレングスを格納する記憶領域と、この記憶領域に前記転送データアドレスおよび転送データレングスを書き込むエラーライン制御部と、前記エラーラインのオン、オフ制御を行うエラーライン通知部とを備えることを特徴とするDMA転送データ保証方式。

【請求項2】 送信側の前記デバイス制御モジュールが上位プログラムからの命令により起動されると、前記DMA転送制御部は前記DMA方式によるデータ転送を開始させ、このDMA転送中にオーバーランエラーが発生していれば前記エラーライン制御部を起動し、前記DMA転送制御部から起動された前記エラーライン制御部は前記エラーライン通知部を起動するとともにこのエラー発生時のデータ転送アドレスとデータ転送レングスとを前記記憶領域に書き込み、前記エラーライン制御部から起動された前記エラーライン通知部は前記エラーラインをオンすることを特徴とする請求項1記載のDMA転送データ保証方式。

【請求項3】 受信側の前記デバイス制御モジュールが上位プログラムからの命令により起動されると、前記DMA転送制御部は前記DMA方式によるデータ転送を開始させ、このDMA転送中にオーバーランエラー発生が前記エラーラインから通知されたときは前記エラーライン制御部を起動し、前記DMA転送制御部から起動された前記エラーライン制御部は前記エラーライン通知部を起動するとともにこのエラー発生時のデータ転送アドレスとデータ転送レングスとを前記記憶領域に書き込み、前記エラーライン制御部から起動された前記エラーライン通知部は前記エラーラインをオフすることを特徴とする請求項1または2記載のDMA転送データ保証方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はDMA転送データ保証方式に関し、特に汎用パラレルインタフェースバス（GP I B）を通してデバイス制御モジュール間でDMA方式によるデータ転送を行うシステムにおいてデータ転送中にデータエラーが発生したときに、このエラー発生以前の転送データを保証するDMA転送データ保証方式に関する。

【0002】

【従来の技術】従来、GP I Bを通してデバイス制御モジュール間でDMA方式によるデータ転送を行うシステムにおいてデータ転送中にエラーが発生したときは、送

信側のデバイス制御モジュールではオーバーランエラーの発生のみを検出していた。

【0003】このため、データ送受信時の命令内でデータエラーが発生したとき、その命令内のデータはすべて無効となっていた。

【0004】

【発明が解決しようとする課題】この従来のシステムにおいてデータ転送中にデータ送受信命令内でデータエラーが発生したときには、この命令内のデータ、つまりこのエラー発生以前に転送されたデータはすべて無効になるという問題点があった。

【0005】本発明の目的は、DMA方式のデータ転送時のエラー発生箇所を示すことにより、このエラー発生以前の転送データを保証することができるDMA転送データ保証方式を提供することにある。

【0006】

【課題を解決するための手段】本発明によれば、GP I Bを通してデバイス制御モジュール間でDMA方式によるデータ転送を行うシステムにおいて、前記デバイス制御モジュール間にエラーラインを設け、前記各デバイス制御モジュールは前記GP I Bのデータ転送を制御するDMA転送制御部と、前記データ転送中に発生した転送データアドレスおよび転送データレングスを格納する記憶領域と、この記憶領域に前記転送データアドレスおよび転送データレングスを書き込むエラーライン制御部と、前記エラーラインのオン、オフ制御を行うエラーライン通知部とを備えることを特徴とするDMA転送データ保証方式が得られる。

【0007】また、送信側の前記デバイス制御モジュールが上位プログラムからの命令により起動されると、前記DMA転送制御部は前記DMA方式によるデータ転送を開始させ、このDMA転送中にオーバーランエラーが発生していれば前記エラーライン制御部を起動し、前記DMA転送制御部から起動された前記エラーライン制御部は前記エラーライン通知部を起動するとともにこのエラー発生時のデータ転送アドレスとデータ転送レングスとを前記記憶領域に書き込み、前記エラーライン制御部から起動された前記エラーライン通知部は前記エラーラインをオンすることを特徴とするDMA転送データ保証方式が得られる。

【0008】さらに、受信側の前記デバイス制御モジュールが上位プログラムからの命令により起動されると、前記DMA転送制御部は前記DMA方式によるデータ転送を開始させ、このDMA転送中にオーバーランエラー発生が前記エラーラインから通知されたときは前記エラーライン制御部を起動し、前記DMA転送制御部から起動された前記エラーライン制御部は前記エラーライン通知部を起動するとともにこのエラー発生時のデータ転送アドレスとデータ転送レングスとを前記記憶領域に書き込み、前記エラーライン制御部から起動された前記エラ

(3)

特開平8-179999

3

4

ーライン通知部は前記エラーラインをオフすることを特徴とするDMA転送データ保証方式が得られる。

【0009】

【実施例】次に、本発明について図面を参照して説明する。

【0010】図1は本発明のDMA転送データ保証方式の一実施例を示すシステムブロック図、図2は本実施例における送信側のデバイス制御モジュールの動作を説明するためのフローチャート、図3は本実施例における受信側のデバイス制御モジュールの動作を説明するための

フローチャートである。
【0011】なお、図2(a)および図3(a)はそれぞれ図1におけるDMA転送制御部11および21の動作を示し、図2(b)および図3(b)はそれぞれ図1におけるエラーライン制御部12および22の動作を示し、図2(c)および図3(c)はそれぞれ図1におけるエラーライン通知部13および23の動作を示す。

【0012】図1を参照すると、本実施例のシステムは、汎用パラレルインタフェースバス(GPIB)4により接続された送信側のデバイス制御モジュール1と受信側のデバイス制御モジュール2とから構成され、送受信側のデバイス制御モジュール1、2間でGPIB4を通してDMA方式によるデータ転送を行う。

【0013】また、両デバイス制御モジュール1、2間にエラーライン3を設け、各デバイス制御モジュール1、2はそれぞれGPIB4のデータ転送を制御するDMA転送制御部11、21と、データ転送中に発生した転送データアドレスおよび転送データレングスを格納するデータ転送アドレス・レングス領域14、24と、このデータ転送アドレス・レングス領域14、24にデータ転送中に発生した転送データアドレスおよび転送データレングスを書き込むエラーライン制御部12、22と、エラーライン3のオン、オフ制御を行うエラーライン通知部13、23とを備えている。

【0014】次に、本実施例の動作について説明する。

【0015】まず、図1、図2を併せ参照すると、デバイス制御モジュール1がデータ送信を行うときには、上位プログラム(アプリケーションプログラム)からの命令によりデバイス制御モジュール1が起動されると、DMA転送制御部11はDMA転送によりデータ転送を開始させる(ステップS111)。

【0016】このDMA転送中にオーバーランエラーが発生していないかを、一般に知られている手法によってチェックし(S112)、オーバーランエラーが発生していなければ(S112でN)、DMA転送が終了したかをチェックする(S113)。

【0017】ここでDMA転送が終了していなければ(S113でN)、S112へ戻ってオーバーランエラーが発生していないかを再チェックする。S113でY、つまりDMA転送が終了したときは、DMA転送終

了処理を行う(S115)。

【0018】また、S112でY、つまりオーバーランエラーが発生していたときは、エラーライン制御部12を起動し(S114)、その後DMA転送終了処理を行って(S115)終了する。

【0019】S114でDMA転送制御部11から起動されたエラーライン制御部12はDMA転送終了処理を行い(S121)、エラー発生をデバイス制御モジュール2に通知する専用線のエラーライン3を制御するエラーライン通知部13を起動し(S122)、その後エラー発生時のデータ転送アドレスとデータ転送レングスとをデータ転送アドレス・レングス領域14に書き込んで(S123)終了する。

【0020】S122でエラーライン制御部12から起動されたエラーライン通知部13は、エラーライン3をオンにして(S131)終了する。

【0021】このように、本実施例では送信エラー発生時にそれまでのデータ転送アドレスおよびデータ転送レングス情報を取得することができ、エラー発生時点より以前に転送されたデータが無効にならずに保証される。

【0022】次に、図1、図3を併せ参照すると、デバイス制御モジュール2がデータ受信を行うときには、上位プログラム(アプリケーションプログラム)からの命令によりデバイス制御モジュール2が起動されると、DMA転送制御部21はDMA転送によりデータ転送を開始させる(ステップS211)。

【0023】このDMA転送中にオーバーランエラーが発生していないかエラーライン3をチェックし(S212)、エラーライン3によりエラー発生が通知されていないか(S212でN)、DMA転送が終了したかをチェックする(S213)。

【0024】ここでDMA転送が終了していなければ(S213でN)、S212へ戻ってエラーが通知されていないかエラーライン3を再チェックする。S213でY、つまりDMA転送が終了したときは、DMA転送終了処理を行う(S215)。

【0025】また、S212でY、つまりエラーライン3によりエラー発生が通知されたときは、エラーライン制御部22を起動し(S214)、その後DMA転送終了処理を行って(S215)終了する。

【0026】S214でDMA転送制御部21から起動されたエラーライン制御部22はDMA転送終了処理を行い(S221)、エラー発生をデバイス制御モジュール1に通知する専用線のエラーライン3を制御するエラーライン通知部23を起動し(S222)、その後エラー発生時のデータ転送アドレスとデータ転送レングスとをデータ転送アドレス・レングス領域24に設定して(S223)終了する。

【0027】S222でエラーライン制御部22から起動されたエラーライン通知部23は、エラーライン3を

(4)

特開平8-179999

5

6

オフにして（S231）終了する。

【0028】このように、本実施例では受信エラー発生時にそれまでのデータ転送アドレスおよびデータ転送レングス情報を取得することができ、エラー発生時点より以前に転送されたデータが無効にならずに保証される。

【0029】次に、図1、図4を併用してエラー発生時の上位プログラムからの命令によるデータ再送動作について説明する。

【0030】図4は図1に示した実施例におけるエラー発生時の上位プログラムからの命令によるデータ再送動作を説明するためのフローチャートである。

【0031】エラーが発生すると（S311）、DMA転送制御部11は上位プログラムからの命令によりエラーライン制御部12、エラーライン通知部13を通してデータ転送アドレス・レングス領域14からエラー発生時のデータ転送アドレスおよびデータ転送レングスを取得し（S312）、このデータ転送アドレスおよびデータ転送レングスの値をベースとして次に転送すべきデータ転送アドレスおよびデータ転送レングスを算出し（S313）、その後GPIB4を通してデータの再転送を行う（S314）。

【0032】

【発明の効果】以上説明したように本発明は、GPIBを通してデバイス制御モジュール間でDMA方式によるデータ転送を行うシステムにおいて、デバイス制御モジュール間にエラーラインを設け、各デバイス制御モジュールはGPIBのデータ転送を制御するDMA転送制御

部と、データ転送中に発生した転送データアドレスおよび転送データレングスを格納する記憶領域と、この記憶領域に転送データアドレスおよび転送データレングスを書き込むエラーライン制御部と、エラーラインのオン、オフ制御を行うエラーライン通知部とを備えることにより、DMA転送時に送受信側にエラーが発生した時の転送データアドレスおよび転送データレングスを取得することができるので、このエラー発生時点より以前のデータを保証することができるという効果を有する。

10 【図面の簡単な説明】

【図1】本発明のDMA転送データ保証方式の一実施例を示すシステムブロック図である。

【図2】本実施例における送信側のデバイス制御モジュールの動作を説明するためのフローチャートである。

【図3】本実施例における受信側のデバイス制御モジュールの動作を説明するためのフローチャートである。

【図4】図1に示した実施例におけるエラー発生時の上位プログラムからの命令によるデータ再送動作を説明するためのフローチャートである。

20 【符号の説明】

1, 2 デバイス制御モジュール

3 エラーライン

4 汎用パラレルインタフェースバス（GPIB）

11, 21 DMA転送制御部

12, 22 エラーライン制御部

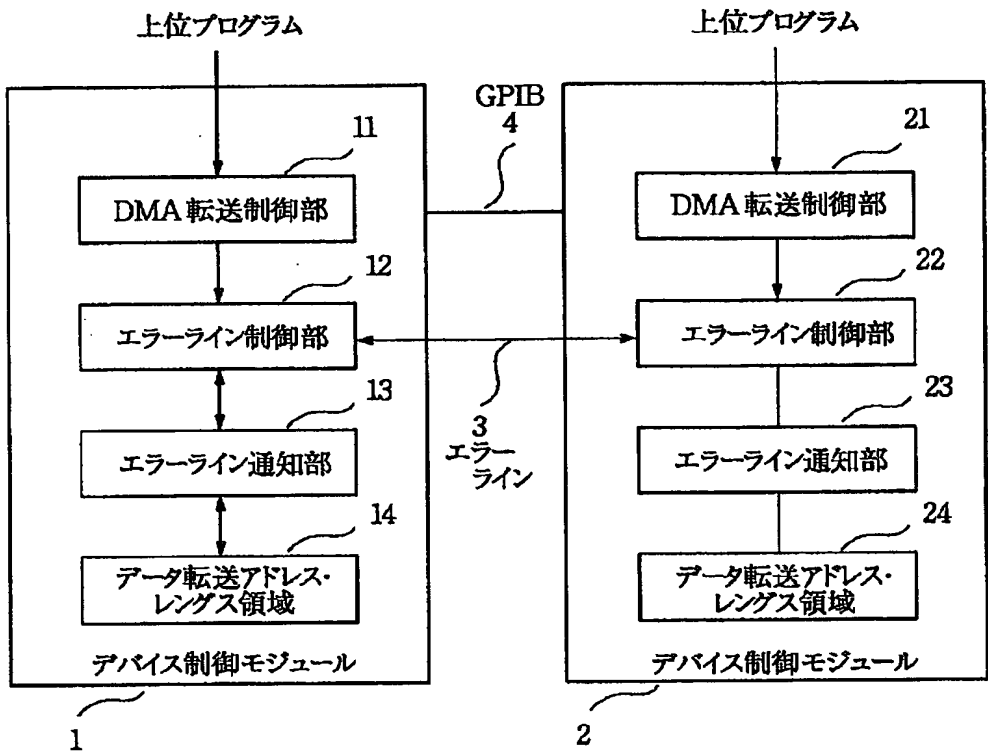
13, 23 エラーライン通知部

14, 24 データ転送アドレス・レングス領域

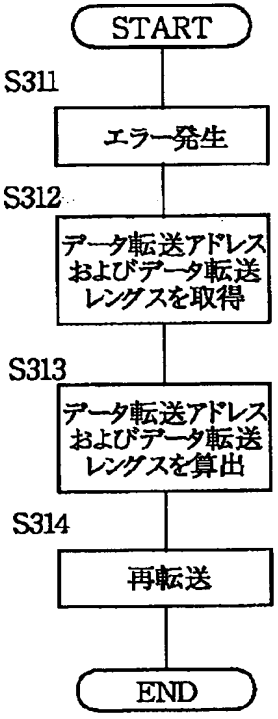
(5)

特開平 8 - 1 7 9 9 9 9

【図 1】



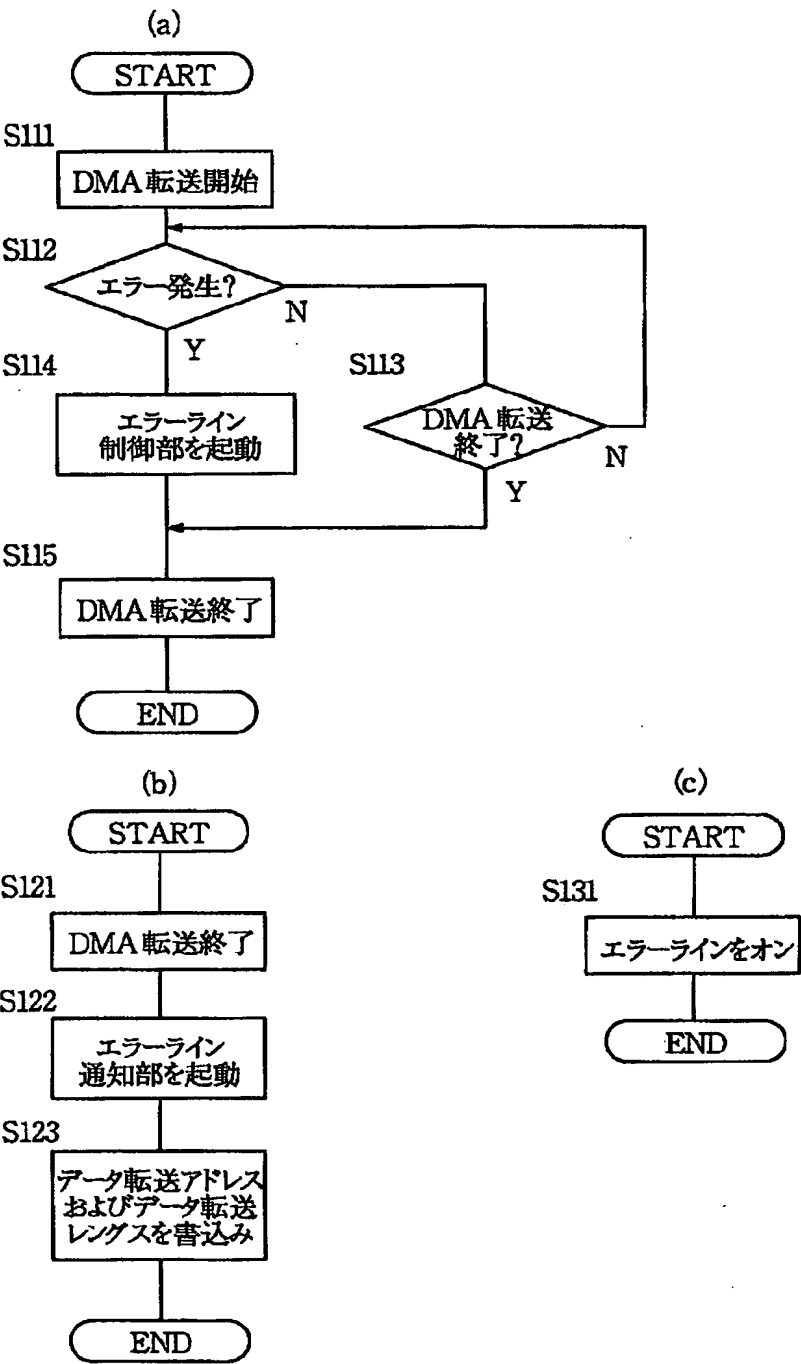
【図 4】



(6)

特開平 8 - 1 7 9 9 9 9

【図 2】



(7)

特開平8-179999

【図3】

